

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-138114

(43)Date of publication of application : 12.06.1991

(51)Int.Cl.

B29C 43/36
 // B29C 43/18
 B29C 51/10
 B29L 9:00
 B29L 31:30

(21)Application number : 01-276437

(71)Applicant : TOYODA GOSEI CO LTD

(22)Date of filing : 24.10.1989

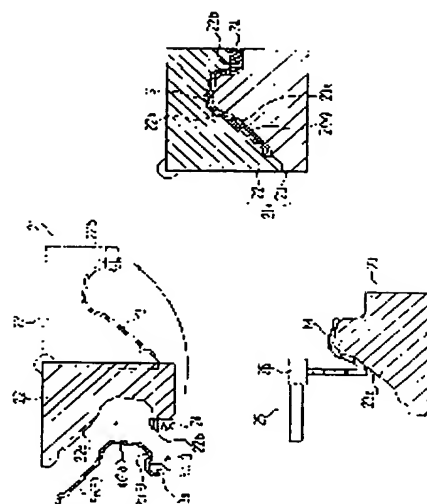
(72)Inventor : SAKAIDA SHOJI
 ITO KEIZO
 KATO TAKASHI
 ANDO HIKARI

(54) MANUFACTURE OF STAMPING MOLDED PRODUCT

(57)Abstract:

PURPOSE: To reduce the man-hours for manufacture and the manufacturing cost by setting a skin material section shaped into the given shape by vacuum molding a sheet-shaped material on a top force of a mold, disposing a molding material of same quality as a material on the rear surface side of the skin section in the molten state on a bottom force, clamping and curing the molding material.

CONSTITUTION: A vacuum molded skin section 3 is set on a top force 22 and a die 26 of an extrusion head 25 above a bottom force 23 of a stamping mold 21, and a molten molding material M composed of PP is flowed from the die 26 and the molding material M of the given quantity is disposed on the bottom force 23. Then, the top force 22 is moved downward and mold clamping is carried out, and the temperature of the mold 21 is adjusted and the molding material M is cooled and cured. At that time, the molding material M of the same quality as a PP foam on the rear face side of the skin section 3, by which the rear face side of the skin section 3 is melted by the heat of the molding material M and fused with a base 2, and thus the skin section 3 and the base 2 are bonded together without using a bonding agent. The man-hours for manufacture and manufacturing cost can be reduced by said process.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
 examiner's decision of rejection or application
 converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平3-38114

⑬ Int. Cl.⁹

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)2月19日

H 03 M 1/66

C

6832-5J

審査請求 未請求 請求項の数 1 (全13頁)

⑮ 発明の名称 デジタルーアナログ変換器

⑯ 特 願 平1-172599

⑰ 出 願 平1(1989)7月4日

⑱ 発 明 者 小木 曾 治 比 古 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

⑲ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地

⑳ 代 理 人 弁理士 長谷 照一

明 細 書

1. 発明の名称

デジタルーアナログ変換器

2. 特許請求の範囲

入力デジタル数を複数桁のデジタル数列に
するように処理するデジタル数処理手段と、ア
ナログ量を記憶するアナログ量記憶手段と、前記
記憶アナログ量の定数分の1の量に前記デジタル
数処理手段から出力される1桁のデジタル数
に対応する量を加算するとともに前記アナログ量
記憶手段における記憶アナログ量を前記加算結果
に更新するアナログ量更新手段と、前記アナログ
量記憶手段に記憶される前記入力デジタル数に
対応するアナログ量を取り込んで出力するアナロ
グ量出力手段とを設けるようにしたデジタルー
アナログ変換器。

3. 発明の詳細な説明

(産業上の利用分野)

本発明はデジタル値をアナログ量に変換する
に適したデジタルーアナログ変換器に関する。

(従来技術)

従来、この種のデジタルーアナログ変換器(
以下、D-A変換器という)においては、ラダー
抵抗を利用したものや、デューティ比或いはパル
ス幅を利用してD-A変換するようにしたものがある。

(発明が解決しようとする課題)

しかし、このような構成において、前者のD-A
変換器では、そのアナログ回路とデューティ回
路との間の結線数が多く、かつアナログ回路にお
いては高精度の部品が多数必要とされる。一方、
後者のD-A変換器において高精度の出力を得よ
うとすると、変換時間が長くなってしまいうとい
う不具合がある。

そこで、本発明は、このようなことに対処すべ
く、D-A変換器において、そのアナログ回路の
部品数を低減した上で、高精度かつ高速にてD-A
変換し得るようにしようとするものである。

(課題を解決するための手段)

かかる課題の解決にあたり、本発明は、第1図

にて例示することく、入力デジタル数 D_{in} を複数桁のデジタル数列にするように処理するデジタル数処理手段1と、アナログ量を記憶するアナログ量記憶手段2と、前記記憶アナログ量の定数分の1の量にデジタル数処理手段1から出力される1桁のデジタル数に対応する量を加算するとともにアナログ量記憶手段2における記憶アナログ量を前記加算結果に更新するアナログ量更新手段3と、アナログ量記憶手段2に記憶される前記入力デジタル数に対応するアナログ量をとり込んで出力するアナログ量出力手段4とを設けるように構成したことにある。

(作用効果)

このように本発明を構成したことにより、デジタル数処理手段1が入力デジタル数 D_{in} を複数桁のデジタル数列 D に変換する。ここで、アナログ量記憶手段2の初期記憶量を $A(0)$ とする。しかして、アナログ量更新手段3が、 D の第1桁のデジタル数 $D(1)$ と $A(0)$ に応じ、アナログ量記憶手段2での記憶アナログ量を更新

すれば、第1回目の更新で得られるアナログ量を $A(1)$ としたとき、

$$A(1) = \frac{1}{K} \times A(0) + D(1) \times u$$

となる。但し、 K 、 u は定数である。以下、同様にアナログ量更新手段3により、 $D(2)$ 及び $A(1)$ に基き $A(2)$ を求める。同様の作用の繰返しにより、最終アナログ記憶量 $A(N)$ を得る。ここで、 N は D の桁数を表わす。また、アナログ量出力手段4により、 $A(N)$ をとりこみ A_{out} を出力する。この A_{out} は次の $A(N)$ が得られるまで保持される。

(実施例)

以下、本発明の第1実施例を図面により説明すると、第2図は、デジタル入力 D_{in} をアナログ変換するに適した $D-A$ 変換器に本発明が適用された例を示している。この $D-A$ 変換器は、制御信号発生回路10と、この制御信号発生回路10に接続した変換回路20とによって構成されて

いる。制御信号発生回路10は、マイクロコンピュータ10aを有しており、このマイクロコンピュータ10aは、コンピュータプログラムを、第3図に示すフローチャートに従い、 $D-A$ 変換要求信号 CNV 及びデジタル入力 D_{in} との関連により実行し、この実行中においてカウンタ11及び各 D 型フリップフロップ12a~12cの制御に必要な演算処理をする。但し、上述のコンピュータプログラムはマイクロコンピュータ10aのROMに予め記憶されている。また、 $D-A$ 変換要求信号 CNV は、そのハイレベルにて、 $D-A$ 変換を許容し、一方、そのローレベルにて、先行する $D-A$ 変換結果の保持を許容する。

カウンタ11は2ビット4分周機能をもつもので、このカウンタ11は周波数10(KHz)の入力クロック信号 CKI (第2図及び第4図参照) に応答してその各出力端子 Q_0 、及び Q_1 から LSB 及び MSB に相当する各出力信号をそれぞれ発生する(第4図参照)。インバータ11aはカウンタ11の出力端子 Q_1 からの出力信号を反転し

て出力クロック信号 CKO として発生する。 D 型フリップフロップ12aは、インバータ11aからの出力クロック信号 CKO に同期して、マイクロコンピュータ10aから後述のように生じる $D-A$ 変換開始信号 D_{st} を入力されて出力端子 Q から出力信号を発生する。 D 型フリップフロップ12bはインバータ11aからの出力クロック信号 CKO に同期してフリップフロップ12aから出力信号を入力されてその出力端子 Q から出力信号を発生する。 D 型フリップフロップ12cは、インバータ11aからの出力クロック信号 CKO に同期して、マイクロコンピュータ10aから後述のように生じる $D-A$ 変換用デジタル信号 $D(1)$ を LSB から MSB にかけて順次入力されて出力端子 Q から出力信号を生じる。

論理回路13は、三つのANDゲート13a~13cと、ORゲート13dからなるもので、論理回路13は、カウンタ11及び各フリップフロップ12a~12bからの各出力信号に応答してORゲート13dから制御信号 D_{so} (第4図参照)

を発生する。ANDゲート14は、カウンタ11及び両フリップフロップ12a、12cからの各出力信号にตอบสนองして制御信号D₃₁(第4図参照)を発生する。論理回路15は、両ANDゲート15a、15bと、ORゲート15cからなるもので、この論理回路15は、カウンタ11及び両フリップフロップ12a、12bからの各出力信号にตอบสนองして制御信号D₃₂(第4図参照)を生じる。ANDゲート16はカウンタ11及び両フリップフロップ12a、12bからの各出力信号にตอบสนองして制御信号D₃₃(第4図参照)を発生する。

変換回路20は、アナログスイッチ回路S₀を有しており、このアナログスイッチ回路S₀は、CMOS74HC4053型の両アナログスイッチS₀₁及びS₀₂により構成されている。アナログスイッチS₀₁はORゲート13dからの制御信号D₃₀のハイレベル時に導通しその出力端子を接地させ、一方、制御信号D₃₀のローレベル時に非導通となる。また、アナログスイッチS₀₂はAND

ゲート14からの制御信号D₃₁のハイレベル時に導通し基準電圧V_f(=3(V))をその出力端子に生じ、同制御信号D₃₁のローレベル時に非導通となる。

残余の両アナログスイッチS₁、S₂はアナログスイッチS₀₁、S₀₂と同様のもので、アナログスイッチS₁はORゲート15cからの制御信号D₃₂のハイレベル時に導通し、一方、同制御信号D₃₂のローレベル時に非導通となる。アナログスイッチS₂はANDゲート16からの制御信号D₃₃のハイレベル時に導通し、一方、同制御信号D₃₃のローレベル時に非導通となる。なお、各アナログスイッチS₀₁、S₀₂、S₁、S₂のV_{ee}端子には-5(V)が印加され、またINHIBIT端子には0(V)が印加される。

両コンデンサ21、22は、共に、スチロールコンデンサからなるもので、コンデンサ21は静電容量C₂₁を有し、一方、コンデンサ22は静電容量C₂₂を有する。但し、本実施例においては、C₂₂=0.01(μF)、C₂₁=0.005(μ

F)が成立するようになっている。コンデンサ21はアナログスイッチS₁の非導通下にて両アナログスイッチS₀₁、S₀₂にตอบสนองして端子電圧V₂₁(第4図参照)を生じ、一方、コンデンサ22は、アナログスイッチS₁の非導通下にて端子電圧V(i)(第4図参照)を保持する。また、コンデンサ22がアナログスイッチS₁の導通によりコンデンサ21と接続されたとき、両コンデンサ21、22の各端子電圧は、アナログスイッチS₁の導通直前における両端子電圧V₂₁とV(i)との間の電圧{(V₂₁+2×V(i))/3}となる。

演算増幅器23は、抵抗23a(抵抗値10(KΩ))との協働によりバッファ機能を果たすもので、この演算増幅器23は、コンデンサ22の端子電圧をアナログスイッチS₂の導通のもとにコンデンサ24に付与してこれを充電する。但し、コンデンサ24の静電容量C₂₄は0.01(μF)である。また、演算増幅器25は、抵抗25a(抵抗値10(KΩ))との協働により、バッファ

機能を果たすもので、この演算増幅器25は、コンデンサ24の端子電圧をアナログ電圧V_{out}(第4図参照)として発生する。なお、各演算増幅器23、25の電源としては±5(V)を使用する。

以上のように構成した本実施例において、入力クロック信号CKI、D-A変換要求信号CNV及びデジタル入力D_{in}が制御信号発生回路10に付与されるものとする。また、マイクロコンピュータ10aが入力クロック信号CKIに応じ第3図のフローチャートに従いステップ30にてコンピュータプログラムの実行を開始し、ステップ31にて、初期化の処理をし、かつステップ32にてD-A変換要求信号CNVの判別を行う。しかして、D-A変換要求信号CNVがハイレベルにあれば、マイクロコンピュータ10aがコンピュータプログラムをステップ32aに進める。

すると、マイクロコンピュータ10aが、同ステップ32aにおいて、デジタル数値Dの桁数

N(本実施例では、4桁とする)を変数1にセットし、変数vを次の式(1)とセットし、変数THを $1.5 \times u$ とセットし、変数Wを $1 \times u$ とセットする。

$$V = D \cdot 10^n + k \cdot 10^{-m} \times u \quad (1)$$

本実施例では、 $k = \{C_{22} / (C_{21} + C_{22})\} = 1.5$ とし、また $u = 1$ とする。また、WはD(i)の各桁の重みを表す。

現段階で、 $V \leq TH$ ならば、マイクロコンピュータ10aがステップ33にて「NO」と判別し、ステップ33aにて $D(i) = 0$ とセットする。一方、 $V > TH$ ならば、マイクロコンピュータ10aがステップ33bにて $D(i) = 1$ 及び $V = V - W$ とセットする。ついで、コンピュータプログラムがステップ33a或いは33bからステップ34に進むと、マイクロコンピュータ10aが (TH/K) を変数THにセットし、 (W/K) を変数Wにセットし、かつ、変数1を $(i-1)$ とセットしてステップ35で「YES」と判別する。以下、 $i > 0$ が成立する間、コンピュータ

プログラムのステップ33～35を通る演算処理をD(i)の残余の各桁について繰返す。

然る後、ステップ35における判別が「NO」になると、マイクロコンピュータ10aがステップ36にてA-D変換開始信号 D_{sr} 及びデジタル信号D(i)をLSB側のD(1)からMSB側のD(4)にかけて順次出力する。今、第4図に示すように、時刻データ $t = -1 \sim 4$ にかけて、制御信号発生回路10において、上述のように出力されるA-D変換信号 D_{sr} 及びデジタル信号D(i)並びに入力クロック信号CKIに応じ各制御信号 $D_{30} \sim D_{33}$ のレベルが変化すると、各コンデンサ21、22の端子電圧 V_{21} 、 $V(i)$ が第4図に示すごとく変化してアナログ電圧 V_{out} を演算増幅器25から発生させる($t > 4$ 参照)。なお、第4図は $D \cdot 10^n = 1.1$ のときの例示図である。

これにより、 $C_{22} = 2 \cdot C_{21}$ の前提のもとに、D-A変換が、最小限のアナログ部品数のもとに達

成できる。また、D-A変換が、各アナログスイッチ S_{01} 、 S_{02} 、 S_1 の作動、各コンデンサ21、22、24の記憶作動及び各演算増幅器23、25の増幅作動のみでもって行われるので、D-A変換の精度及び速度が改善され得る。

なお、本実施例については、マイクロコンピュータ10aがデジタル数処理手段に対応し、各アナログスイッチ S_{01} 、 S_{02} 、 S_1 及びコンデンサ C_{21} がアナログ量更新手段に対応し、コンデンサ22がアナログ量記憶手段に対応し、かつアナログスイッチ S_2 、コンデンサ24、両演算増幅器23、25及び両抵抗23a、25aがアナログ量出力手段に対応する。

次に、前記第1実施例の変形例について第5図を参照して説明すると、この変形例においては、第3図のフローチャートを第5図に示すごとく部分的に変更し、この変更フローチャートに従う変更コンピュータプログラムを前記コンピュータプログラムに代えてマイクロコンピュータ10aのROMに予め記憶するようにしたことにその構

成上の特徴がある。その他の構成は前記第1実施例と同様である。

ところで、上述のような第5図のフローチャートを採用したのは、デジタル数処理手段から出力される複数桁のデジタル数の桁数を増せば、A-D変換の高精度化が簡単に実現でき、そのときにはアナログ回路で発生する誤差が大きな問題となることを認識したからである。具体的には、第3図及び第5図における変数Nを大きくし、これに合わせてD-A変換開始信号 D_{sr} のハイレベル幅を広げ、かつD(i)の個数を増大させ、アナログ回路で発生する誤差はコンピュータプログラムで補正すればよい。

以下、その根拠について説明する。今、アナログ量更新手段に誤差が発生し次の式(2)が成立したとする。

$$V(i) = \frac{1}{K_{\Delta} + R_{\Delta}} \times V(i-1) + D(i) \times u_{\Delta} \quad (2)$$

ここで、NをDの桁数とすれば、

$$\begin{aligned}
 V(N) &= \sum_{i=1}^N K_{\Delta}^{i-N} \times \{ D(i) \times u_{\Delta} + R_{\Delta} \\
 &\quad + K^{-N} \times A(0) \} \\
 &= \sum_{i=1}^N K_{\Delta}^{i-N} \times D(i) \times u_{\Delta} + \\
 &\quad \sum_{i=1}^N K_{\Delta}^{i-N} \times R_{\Delta} + K^{-N} \times A(0)
 \end{aligned}$$

ここにおいて、

$$E_a = \sum_{i=1}^N K_{\Delta}^{i-N} \times R_{\Delta} + K^{-N} \times A(0)$$

とすると、

$$V(N) = \sum_{i=1}^N K_{\Delta}^{i-N} \times D(i) \times u_{\Delta} + E_a \quad (3)$$

が成立する。

アナログ量出力手段に誤差が発生し次の式(4)が成立したとする。

$$V_{out} = G_{\Delta} \times V(N) + O_{\Delta} \quad (4)$$

また、所望のアナログ電圧 \hat{V}_{out} が

$$\hat{V}_{out} = D_{in} \times \hat{u} \quad (5)$$

であるとする。ここで、アナログ電圧誤差を E_q とすると、

$$\begin{aligned}
 E_q &= \hat{V}_{out} - V_{out} \\
 \hat{V}_{out} &= V_{out} + E_q
 \end{aligned}$$

$$= G_{\Delta} \times V(N) + O_{\Delta} + E_q$$

$$\begin{aligned}
 &= G_{\Delta} \times \sum_{i=1}^N K_{\Delta}^{i-N} \times D(i) \times u_{\Delta} + G_{\Delta} \\
 &\quad \times E_a + O_{\Delta} + E_q \quad (6)
 \end{aligned}$$

が成立する。

しかし、両式(5)(6)から次の式(7)が成立する。

$$\begin{aligned}
 D_{in} &= \sum_{i=1}^N K_{\Delta}^{i-N} \times D(i) \times \frac{G_{\Delta} \times u_{\Delta}}{\hat{u}} + \\
 &\quad \frac{G_{\Delta} \times E_a + O_{\Delta}}{\hat{u}} + \frac{E_q}{\hat{u}} \quad (7)
 \end{aligned}$$

ここで、

$$u_o = \frac{G_{\Delta} \times u_{\Delta}}{\hat{u}} \quad \text{及び} \quad E_o = \frac{G_{\Delta} \times E_a + O_{\Delta}}{\hat{u}}$$

とすれば、式(7)より、

$$D_{in} = \sum_{i=1}^N K_{\Delta}^{i-N} \times D(i) \times u_o + \frac{E_o + E_q}{\hat{u}}$$

$$D_{in} - E_o = \sum_{i=1}^N K_{\Delta}^{i-N} \times D(i) \times \frac{u_o}{\frac{E_q}{\hat{u}}} + \frac{E_q}{\hat{u}} \quad (8)$$

が成立する。よって、この式(8)より、 E_o 、 K_{Δ} 、 u_o が予め分かっているならば、 $D(i)$ の値を適

切に変更することによって E_q の値を十分に小さくできることが理解される。このことは、アナログ回路の誤差をデジタル処理によって打消すことができることを示している。

しかし、本変形例において、前記第1実施例と同様に A-D 変換開始信号 CNV がハイレベルにあれば、マイクロコンピュータ 10a が変更コンピュータプログラムをステップ 32b (第5図参照)に進める。ステップ 32 の実行直前のときの、 V 、 TH 、 W をそれぞれそのときの i の値に対応させて $V(i)$ 、 $TH(i)$ 、 $W(i)$ とすれば、 $W(N) = u_o$ が成立し、 i の「1」だけの減少により W が $(1/K_{\Delta})$ 倍されることにより、

$$W(i) = K_{\Delta}^{i-N} \times u_o \quad (9)$$

$TH(i)$ も同様に、

$$\begin{aligned}
 TH(i) &= \frac{K_{\Delta}}{2 \times (K_{\Delta} - 1)} \times K^{i-N} \times u_o \\
 &= \frac{K_{\Delta}}{2 \times (K_{\Delta} - 1)} \times W(i) \quad (10)
 \end{aligned}$$

が成立する。

変更コンピュータプログラムがステップ 33 以後に進むと、

$$V(i-1) = V(i) - D(i) \times W(i) \quad (11)$$

が得られる。この式(11)により、

$$\begin{aligned}
 V(i) &= D(i) \times W(i) + V(i-1) \\
 V(N) &= D(N) \times W(N) + V(N-1) \\
 &= D(N) \times W(N) + D(N-1) \\
 &\quad \times W(N-1) + V(N-2) \\
 &= \sum_{i=1}^N D(i) \times W(i) + V(0) \\
 &= \sum_{i=1}^N D(i) \times K_{\Delta}^{i-N} \times u_o + \\
 &\quad V(0) \quad (12)
 \end{aligned}$$

が得られる。但し、 $V(0)$ 、 $TH(0)$ 、 $W(0)$ は、ステップ 35 で「NO」の判別があったときの V 、 TH 、 W とする。

また、 $V(i) \in (TH(i), TH(i+1))$ が成立すれば、ステップ 33 での「YES」と

の判別後のステップ33bでの演算処理及び K_{Δ}
 ≈ 1.5 より、

$$\begin{aligned} V(i-1) \in & (TH(i) - W(i), \\ & TH(i+1) - W(i)) \\ & \dots (13) \end{aligned}$$

が成立する。

$$\text{また、} V(i) \in (TH(i+1) - W(i+1), TH(i+1))$$

が成立すれば、ステップ33での「NO」との判別後のステップ33aにおける演算処理及び $K_{\Delta} \approx 1.5$ より、

$$V(i-1) \in (TH(i+1) - W(i+1), TH(i)) \dots (14)$$

が得られる。しかして、両式(13)(14)および $K_{\Delta} \approx 1.5$ より、

$$\begin{aligned} V(i) \in & (TH(i+1) - W(i+1), \\ & TH(i+1)) \\ \downarrow \\ V(i-1) \in & (TH(i) - W(i), TH(i)) \end{aligned} \dots (15)$$

$$\begin{aligned} V(1) \in & (TH(1), TH(1) + W(1)) \\ \downarrow \\ V(0) \in & V(1) - W(1) \in (TH(1) - W(1), TH(1)) \end{aligned} \dots (18)$$

が得られる。しかして、両式(17)(18)より、

$$\begin{aligned} V(1) \in & (TH(1) - W(1), TH(1) + W(1)) \\ \downarrow \\ V(0) \in & (TH(1) - W(1), TH(1)) \end{aligned} \dots (19)$$

が得られる。同様にして、

$$\begin{aligned} V(2) \in & (TH(1) - W(1), TH(1) + W(1) + W(2)) \\ \downarrow \\ V(1) \in & (TH(1) - W(1), TH(1) + W(1)) \\ \downarrow \\ V(0) \in & (TH(1) - W(1), TH(1)) \end{aligned} \dots (20)$$

が得られる。これを繰返すと、

が得られる。但し、 $W(N+1) = K_{\Delta} \times W(N)$ 、 $TH(N+1) = K_{\Delta} \times TH(N)$ とする。

しかして、式(15)より、

$$\begin{aligned} V(N) \in & (TH(N+1) - W(N+1), \\ & TH(N+1)) \\ \downarrow \\ V(0) \in & (TH(1) - W(1), TH(1)) \end{aligned} \dots (16)$$

が得られる。

また、 $V(1) \in (TH(1) - W(1), TH(1))$ ならば $D(1) = 0$ となる。従って、

$$\begin{aligned} V(1) \in & (TH(1) - W(1), TH(1)) \\ \downarrow \\ V(0) \in & (TH(1) - W(1), TH(1)) \end{aligned} \dots (17)$$

が得られる。

また、 $V(1) \in (TH(1), TH(1) + W(1))$ ならば $D(1) = 1$ となる。従って、

$$\begin{aligned} V(N) \in & (TH(1) - W(1), TH(1) + \sum_{i=1}^N W(i)) \\ \downarrow \\ V(0) \in & (TH(1) - W(1), TH(1)) \end{aligned} \dots (21)$$

が得られる。しかして、両式(12)(21)より、

$V(N) \in (TH(1) - W(1), TH(1) + \sum_{i=1}^N W(i))$ であれば、誤差 $V(0) \in (TH(1) - W(1), TH(1))$ で $D(1)$ が得られることが分かる。また、この $V(0)$ の分布の中心値 V_c は

$$V_c = \frac{(TH(1) - W(1) + TH(1))}{2}$$

$$= \frac{K_{\Delta}^{1-N}}{2 \times (K_{\Delta} - 1)} \times u_b \dots (22)$$

である。これがステップ32bにおける V の四捨五入項である。

次に、本発明の第2実施例を第6図～第8図を参照して説明すると、この第2実施例においては、マイクロコンピュータ10b(第6図参照)の出

力たるデジタル数値 $D(i)$ として「0」、「+1」、「-1」の三値がとれるようになっている。また、アナログ量更新のときの K として「2」を使用し、 u として「1」を使用する。また、本実施例でのデジタル数値 D の桁数は4桁であり、アナログ量更新手段はスイッチドキャパシタ（第6図参照）で実現されている。第6図において、符号10bはマイクロコンピュータを示しており、このマイクロコンピュータ10bは、第7図に示すフローチャートに従うコンピュータプログラム（以下、第2コンピュータプログラムという）を予め記憶するようにしてある。

また、第6図において、各符号11、11a、12a、12b、 S_{01} 、 S_1 及びCK1、CNV、 D_{33} は、それぞれ、前記実施例と同様の電気素子及び信号を示す。また、各符号41a、41b及び44a～44eはそれぞれD型フリップフロップを示し、各符号42a～42kはそれぞれANDゲートを示し、各符号43a～43dはそれぞれORゲートを示し、各符号 S_{03} 、 S_{04} はCMO

S型アナログスイッチを示し、また符号45は、前記実施例におけるコンデンサ22の静電容量 C_{22} と同じ静電容量 C_4 をもつ精密型コンデンサを示す。さらに、各符号 C_{30} 、 C_{31} は、2ビットのカウンタの出力信号を示し、それぞれ、LSB、MSBを表す。また、各符号 D_{31} 、 D_{32} は、D-A変換用デジタル信号 $D(i)$ で、3値を選択的に表す。即ち、 $D_{31}=1$ 、 $D_{32}=0$ のときは「+1」を表わし、 $D_{31}=D_{32}=0$ のときは「0」を表わし、 $D_{31}=0$ 、 $D_{32}=1$ のときは「-1」を表わす。本実施例では、マイクロコンピュータ10bがデジタル数値処理手段に対応し、各アナログスイッチ S_{01} 、 S_{03} 、 S_{04} 、 S_1 及びコンデンサ35がアナログ量更新手段に対応する。なお、符号 Q_{11} は、前記第1実施例におけるコンデンサ22に接続されている信号線を示し、符号Vgは基準電圧2(V)を示す。なお、その他の構成は前記実施例と同様である。

このように構成した本実施例においては、マイクロコンピュータ10bの実行内容が第7図のフ

ローチャートのステップ32b～34a及び36aにおいて第3図のステップ32a～34及び36と異なる。また、このようなマイクロコンピュータ10bの実行内容に応じて第6図の各回路素子が、第8図に示すタイミングチャートに示すように作動し、Voutの発生をもたらす。

但し、第8図は $D_{in}=0.4$ の場合を示す。

次に前記第2実施例の第1変形例について第9図を参照して説明すると、この第1変形例においては、第7図のフローチャートを第9図に示すごとく部分的に変更し、変更フローチャートに従う変更コンピュータプログラム（以下、第1変更コンピュータプログラムという）を前記第2コンピュータプログラムに代えてマイクロコンピュータ10bのROMに予め記憶したことにその構成上の特徴がある。その他の構成は前記第2実施例と同様である。

ところで、本変形例では $D(i)$ の桁数を18に増大したものであるが、このようにダイナミックレンジを拡大したのは以下の理由による。従来

の10ビットのD-A変換器では、フルレンジの振幅波形は10ビットの精度で出力できるが、フルレンジの 2^5 分の1の振幅波形は5ビットの精度でしか出力できない。

然るに、本変形例ではアナログ量更新部の精度が7ビット程度であれば、7ビットのD-A変換器しか実現できないが、フルレンジの 2^5 分の1の振幅波形でも7ビット以下の歪みしか発生しない。その理由は、 $D(i)=D(13) \sim D(18)$ が常に0となり、 $D(i)=D(1) \sim D(12)$ で求めた波形を単に縮小するだけで歪みは発生しないからである。

このようなことから、本変形例では、低い精度の回路でも広いダイナミックレンジが実現できるのである。また、このような特徴は第9図のフローチャートに対するマイクロコンピュータ10bの実行の結果得られる。なお、 $K=2$ である。

次に、前記第2実施例の第2変形例について第10図を参照して説明すると、この第2変形例においては、第7図のフローチャートを第10図に

示すごとく部分的に変更し、この変更フローチャートに従う変更コンピュータプログラム（以下、第2変更コンピュータプログラムという）を前記第2コンピュータプログラムに代えてマイクロコンピュータ10bのROMに予め記憶したことにその構成上の特徴がある。

ところで、本変形例ではD(1)の桁数を18とした上で、マイクロコンピュータ10bによりアナログ回路の誤差を補正するようにし、かつ、この補正処理を加減算とシフト演算のみで実現し、乗除算を排除した。これにより、ディジタル数処理手段をマイクロコンピュータを使わなくても、論理回路のみで簡単に実現できる。第10図において、 Δ_1 はアナログ量更新手段やアナログ量出力手段で総合的に発生するオフセット誤差を補正する値である。また、 Δ_2 はアナログ量更新に使用している基準電圧の誤差を補正する値である。 Δ_3 、 Δ_4 はアナログ量更新手段のKの2からのずれを補正する値で、それぞれ誤差の1次の項と2次の項に対応する。2次の項まで補正してい

るため、元の精度が6ビット程度有れば18ビット程度の精度が得られる。この6ビット程度の精度はモノリシックICで容易に得られる精度である。

次に、前記第2実施例の第3変形例について第11図及び第12図を参照して説明すると、この変形例では、アナログ量更新手段をCR回路の動特性を利用して現実するために、第6図の回路構を第11図に示すごとく変更したことにその構成上の特徴がある。しかし、各符号46~49はANDゲートを示し、各符号 $S_3 \sim S_4$ はCMOSアナログスイッチを示す。これらアナログスイッチは入力信号のハイレベル時に導通する。また、符号49aは抵抗を示す。この抵抗49aの抵抗値Rとコンデンサ22（第2図参照）の静電容量 C_{22} 及び入力クロック信号CK1の周期Tを前提として $4T = CR \log_e 2$ が成立する。なお、 $V_H = 2(V)$ 、 $V_L = -2(V)$ である。第12図は、第11図の回路素子の作動状態を $D_{in} = 0, 4$ として示すタイムチャートである。その

他の構成作用は前記第2実施例と同様である。

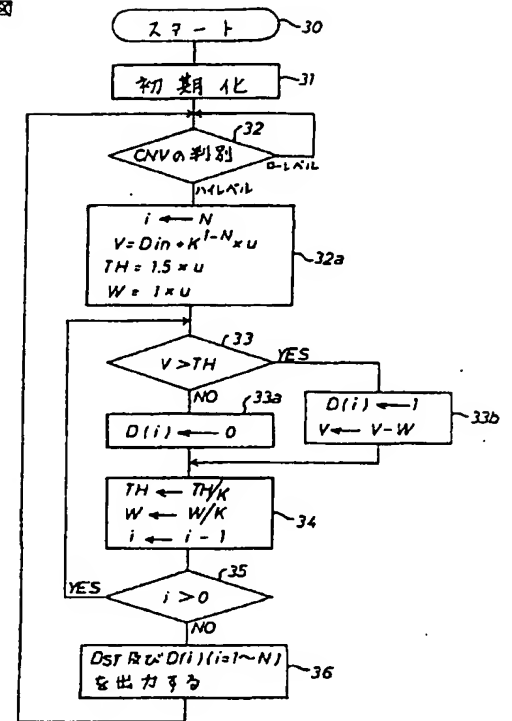
4. 図面の簡単な説明

第1図は特許請求の範囲の記載に対する対応図、第2図は本発明の第1実施例を示す電子回路図、第3図は第2図のマイクロコンピュータの作用を示すフローチャート、第4図は第2図における制御信号回路の入出力波形を示すタイムチャート、第5図は前記第1実施例の変形例を示す要部フローチャート、第6図は本発明の第2実施例を示す電子回路図、第7図は第6図のマイクロコンピュータの作用を示すフローチャート、第8図は第6図の各回路素子の出力波形を示すタイムチャート、第9図及び第10図は前記第2実施例の第1及び第2の変形例を示す各要部フローチャート、第11図は前記第2実施例の第3変形例を示す回路図、並びに第12図は同タイムチャートである。

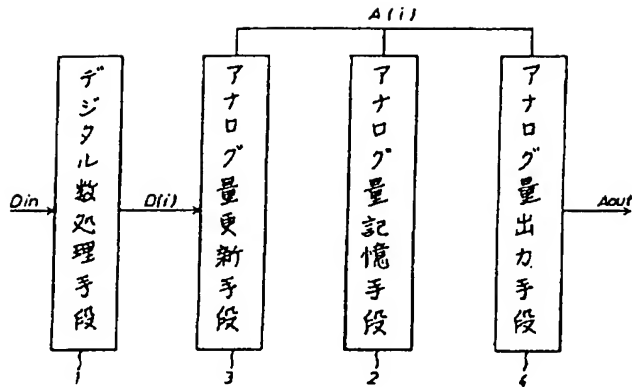
10・・・制御信号発生回路、10a・・・マイクロコンピュータ、11・・・カウンタ、12a~12c、41a、41b、44a~44e・・・フリップフロップ、13a、13c、14、15a、15b、16、42a~42k・・・ANDゲート、13d、15c、43a~43d・・・ORゲート、20・・・変換回路、21、22、24、45・・・コンデンサ、23、25・・・演算増幅器、26・・・抵抗、 $S_{01} \sim S_{04}$ 、 S_1 、 S_2 ・・・アナログスイッチ。

出願人 日本電装株式会社
代理人 弁理士 長谷照一

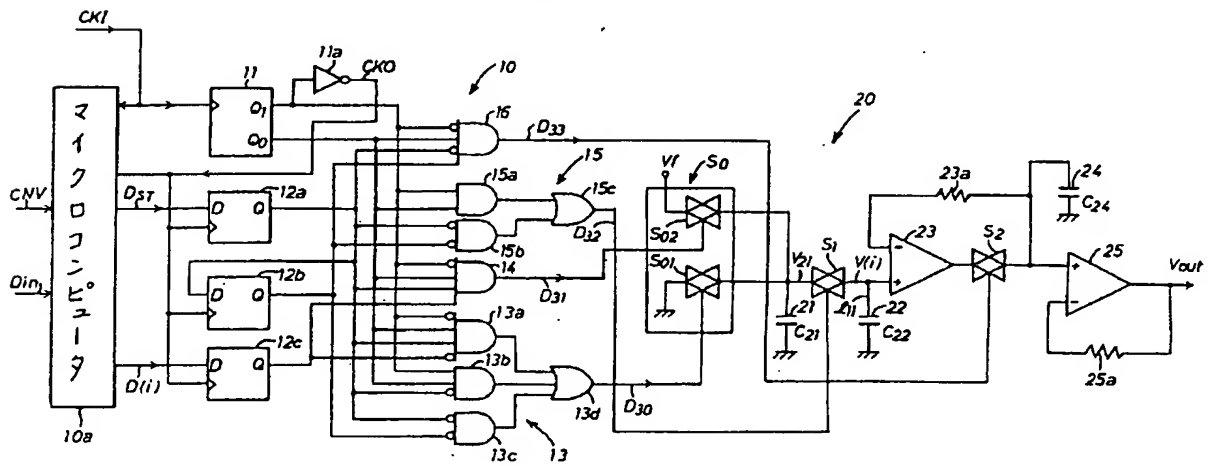
第 3 図



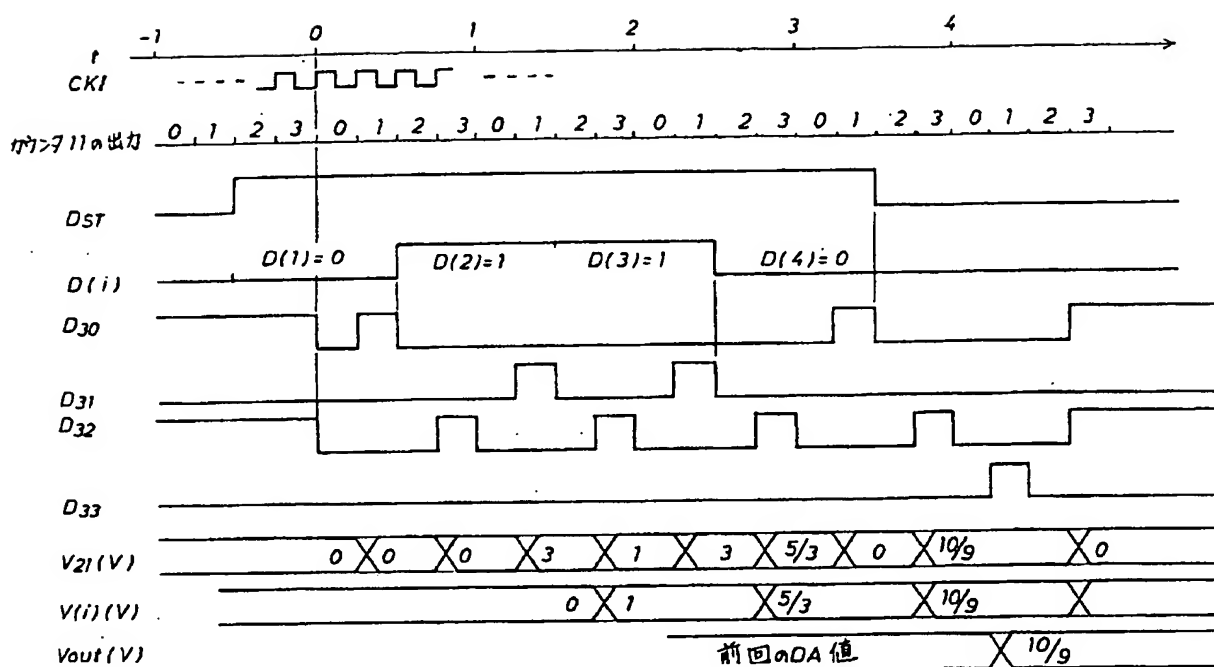
第 1 図



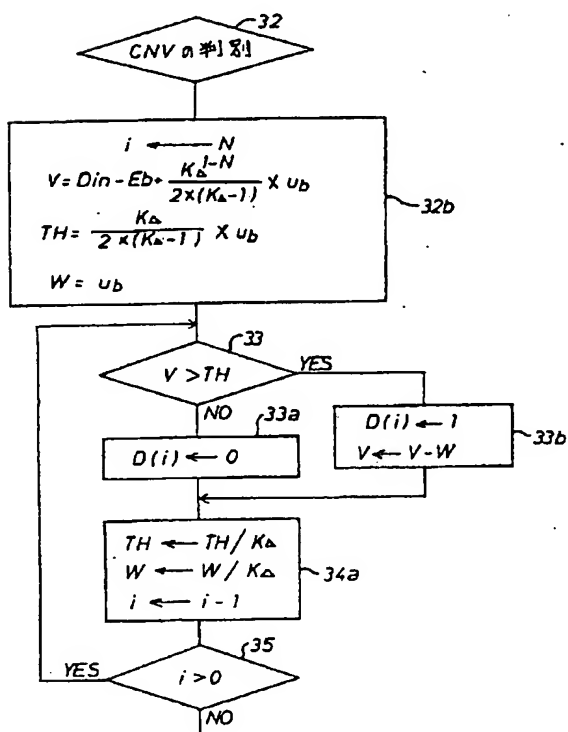
第 2 図



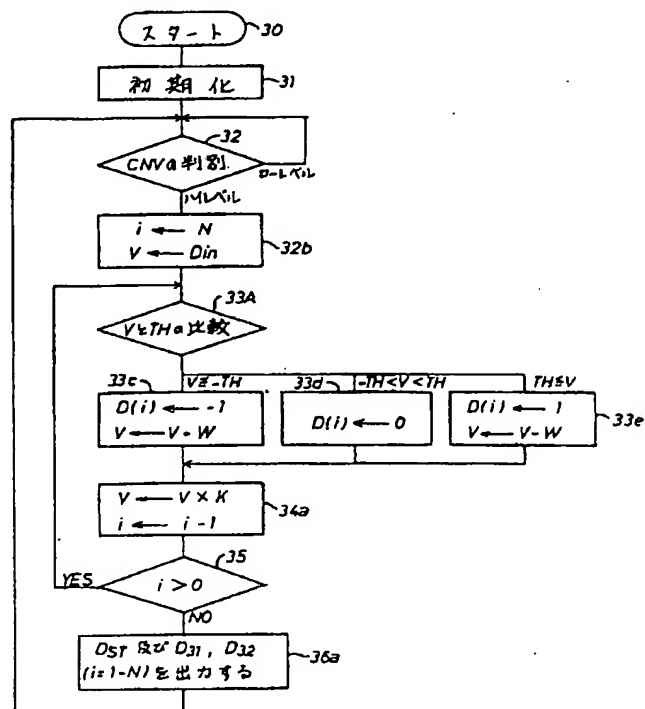
第 4 図



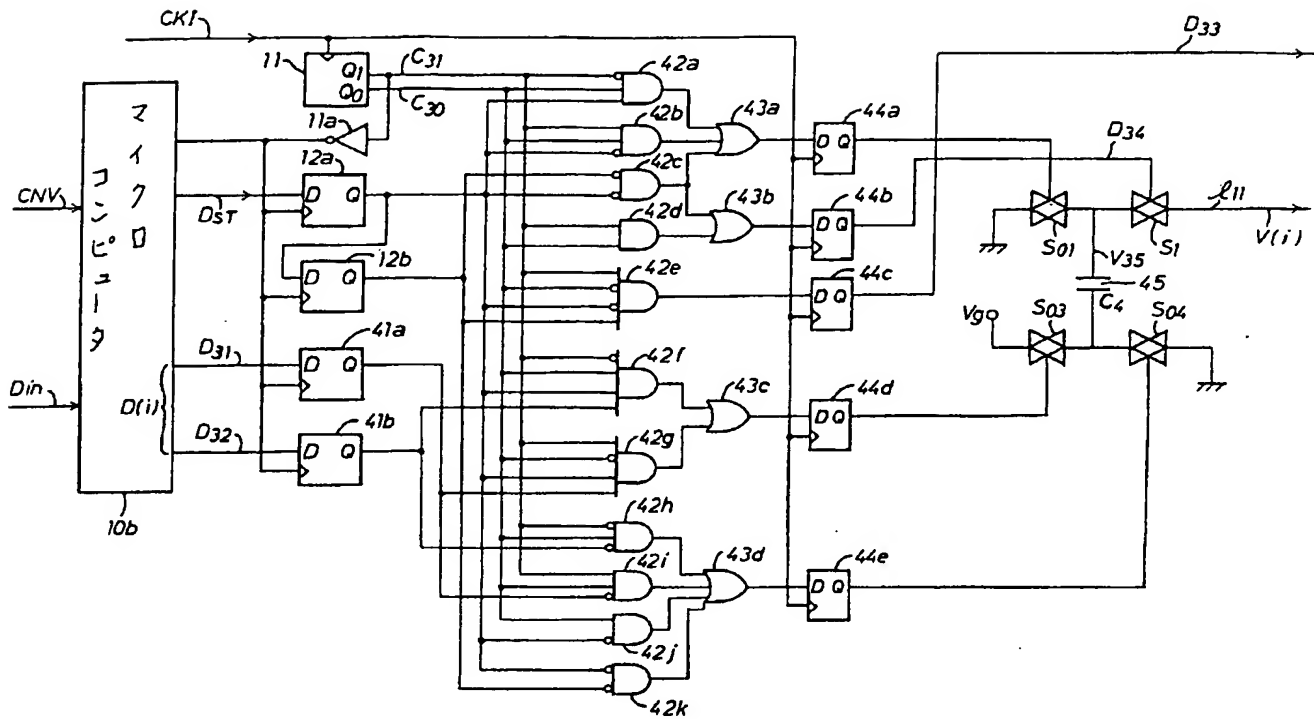
第 5 図



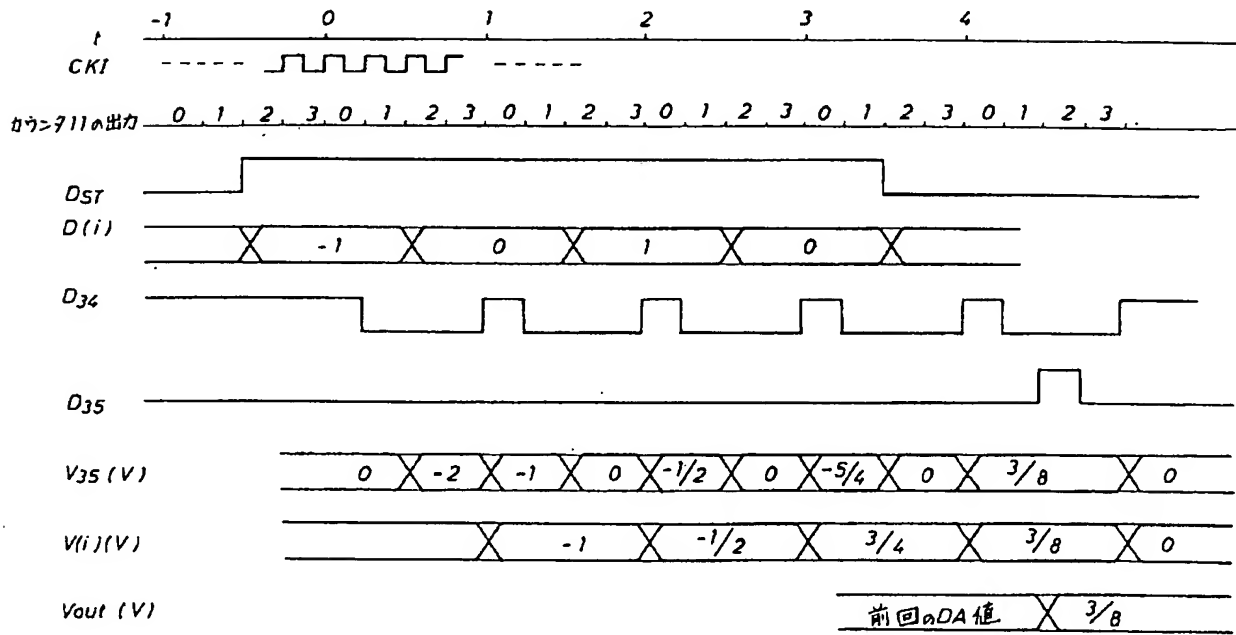
第 7 図



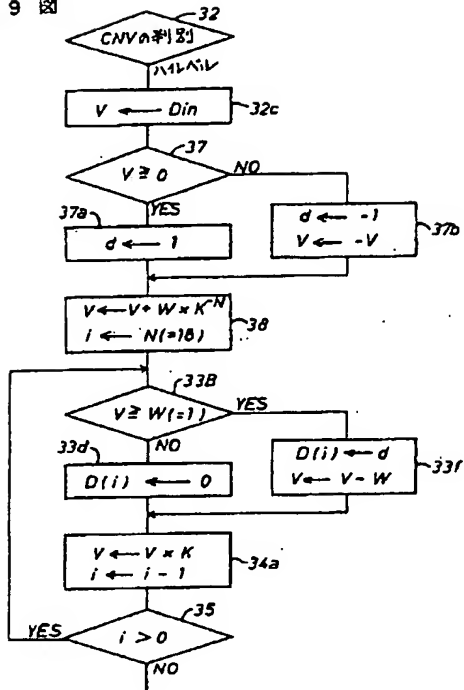
第 6 図



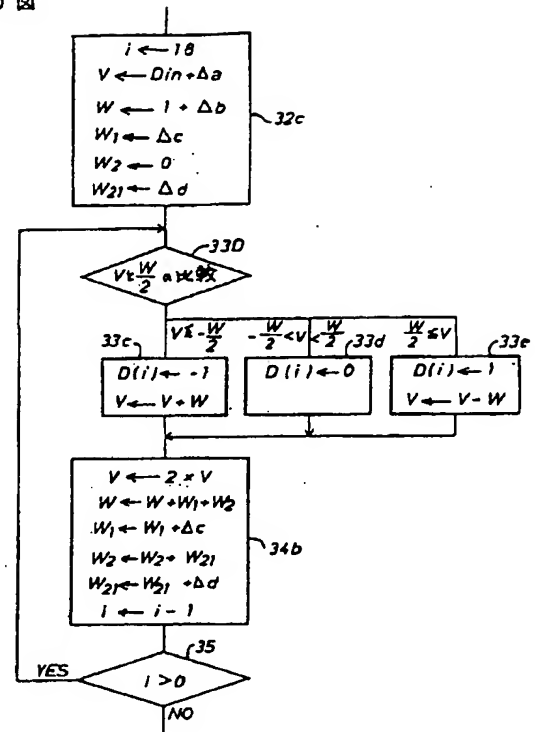
第 8 図



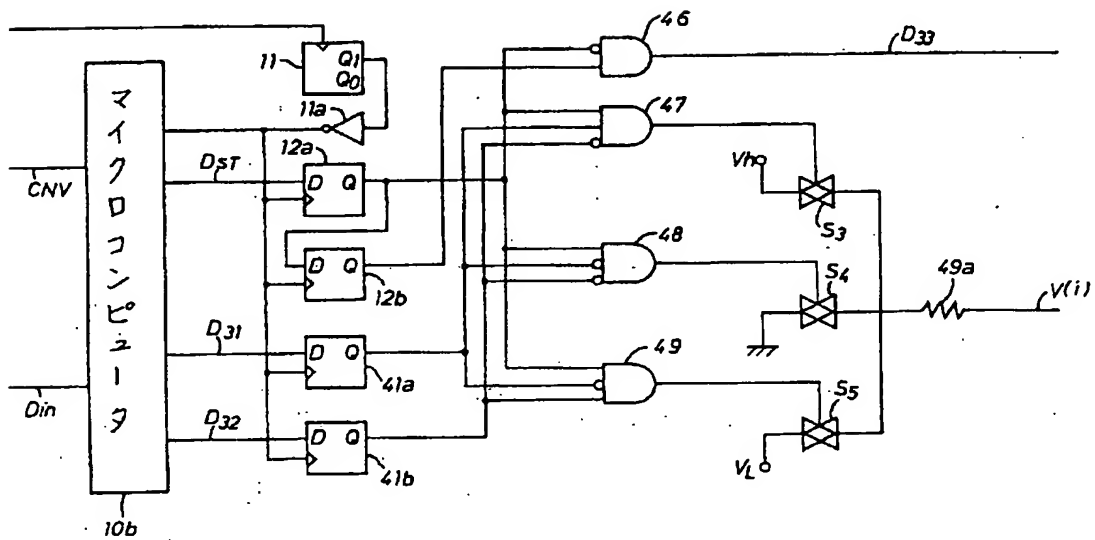
第 9 図



第 10 図



第 11 図



第 12 図

